

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07074313 A**

(43) Date of publication of application: **17.03.95**

(51) Int. Cl.

H01L 27/04
H01L 21/822
H01L 21/8242
H01L 27/108

(21) Application number: **05217127**

(22) Date of filing: **01.09.93**

(71) Applicant: **NEC CORP**

(72) Inventor: **YAMAMICHI SHINTARO**
WATANABE HIROHITO
MIYASAKA YOICHI

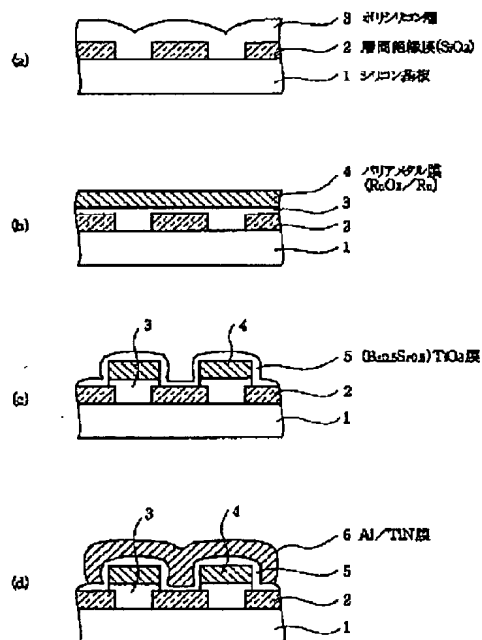
(54) THIN-FILM CAPACITOR AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To make small the leak current of a thin film capacitor in which a high permittivity dielectric is used.

CONSTITUTION: After a layer insulating film 2 has been deposited on a silicon substrate 1, a contact hole is formed on the desired position. Then, after the contact hole has been filled up by depositing a polysilicon layer 3, the surface of the polysilicon layer 3 is flattened by conducting chemical/mechanical polishing using at least a kind of piperazine and colloidal silica slurry. Then, a barrier metal film 4 and a dielectric thin film of high dielectric constant are laminated, processed into the desired size, and finally, an Al/TiN film 6 for the upper electrode is formed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74313

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁶H 0 1 L 27/04
21/822
21/8242

識別記号

庁内整理番号

F I

技術表示箇所

8832-4M

H 0 1 L 27/ 04

C

7210-4M

27/ 10

3 2 5 J

審査請求 有 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平5-217127

(22) 出願日

平成5年(1993)9月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山道 新太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 渡辺 啓仁

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 宮坂 洋一

東京都港区芝五丁目7番1号 日本電気株式会社内

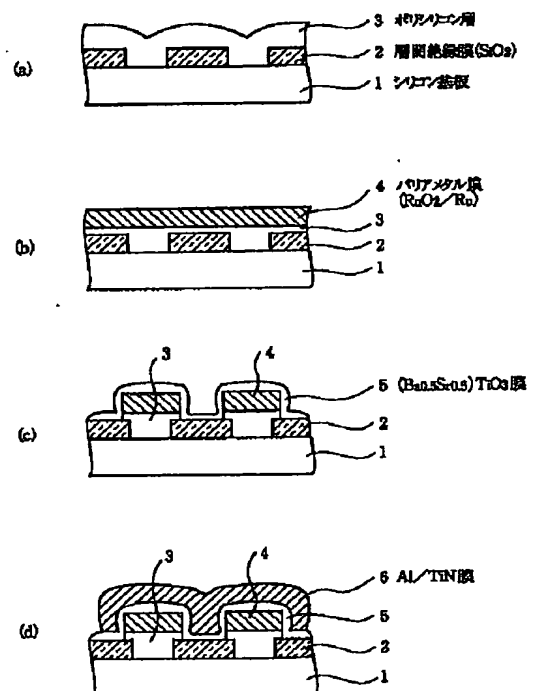
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 薄膜キャパシタおよびその製造方法

(57) 【要約】

【目的】 高誘電率の誘電体を用いた薄膜キャパシタのリーク電流を低減する。

【構成】 シリコン基板1上に層間絶縁膜2を堆積した後、所望の位置にコンタクトホールを形成し、次でポリシリコン層3を堆積しコンタクトホールを埋め込んだのち、ピペラジンまたはコロイダルシリカスラリーの少なくとも1種を用いた化学的機械的研磨によりポリシリコン層3の表面を平坦化し、次でバリアメタル膜4、高誘電率の誘電体薄膜5を積層し所望の大きさに加工し、最後に上部電極用のAl/TiN膜6を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された層間絶縁膜と、この層間絶縁膜の所望の位置に形成されたコンタクトホールと、このコンタクトホール内に埋設された導電膜と、この導電膜を含む前記コンタクトホール近傍の前記層間絶縁膜上に順次形成されたバリアメタル膜と高誘電率の誘電体薄膜と上部電極とを有する薄膜キャパシタであって、前記層間絶縁膜及び前記導電膜と前記バリアメタル膜との間にポリシリコン層を設けたことを特徴とする薄膜キャパシタ。

【請求項2】 半導体基板上に層間絶縁膜を堆積した後所望の位置にコンタクトホールを形成する工程と、ポリシリコン層を堆積し前記コンタクトホールを埋め込む工程と、ピペラジンまたはコロイダルシリカスラリーの少なくとも1種を用いた化学的機械的研磨により前記ポリシリコン層の表面を平坦化する工程と、このポリシリコン層上にバリアメタル膜と高誘電率の誘電体薄膜と上部電極用導電膜を堆積したのちこれらの膜を所望の大きさに加工する工程とを含むことを特徴とする薄膜キャパシタの製造方法。

【請求項3】 半導体基板上に第1の層間絶縁膜を堆積した後所望の位置にコンタクトホールを形成する工程と、ポリシリコン層を堆積し前記コンタクトホールを埋め込む工程と、全面にバリアメタル膜を堆積し所望の大きさに加工した後全面に第2の層間絶縁膜を堆積する工程と、コロイダルシリカスラリーを用いた化学的機械的研磨により前記第2の層間絶縁膜の表面を平坦化し前記バリアメタル膜の表面を露出させる工程と、全面に高誘電率の誘電体薄膜と上部電極用導電膜を堆積した後所望の大きさに加工する工程とを含むことを特徴とする薄膜

キャパシタの製造方法。

【請求項4】 半導体基板上に第1の層間絶縁膜を堆積した後所望の位置にコンタクトホールを形成する工程と、ポリシリコン層を堆積し前記コンタクトホールを埋め込む工程と、全面にバリアメタル膜と高誘電率の誘電体薄膜を順次堆積し所望の大きさに加工した後全面に第2の層間絶縁膜を堆積する工程と、コロイダルシリカスラリーを用いた化学的機械的研磨により前記第2の層間絶縁膜の表面を平坦化し前記誘電体薄膜の表面を露出させる工程と、全面に上部電極用の導電体膜を堆積し所望の大きさに加工する工程とを含むことを特徴とする薄膜

キャパシタの製造方法。

【請求項5】 半導体基板上に第1の層間絶縁膜を堆積した後所望の位置にコンタクトホールを形成する工程と、ポリシリコン層を堆積し前記コンタクトホールを埋め込む工程と、全面にバリアメタル膜と高誘電率の誘電体薄膜および上部電極用の導電膜を順次堆積し所望の大きさに加工した後全面に第2の層間絶縁膜を堆積する工程と、コロイダルシリカスラリーを用いた化学的機械的

研磨により前記第2の層間絶縁膜の表面を平坦化し前記

導電膜の表面を露出させる工程と、全面に接続用電極膜を堆積し所望の大きさに加工する工程とを含むことを特徴とする薄膜キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路用の薄膜キャパシタおよびその製造方法に関する。

【0002】

【従来の技術】 従来、半導体集積回路用の薄膜キャパシタは、ポリシリコン膜を上下の電極とし、誘電体膜としてシリコン酸化膜およびシリコン窒化膜を用いる積層構造が用いられている。ダイナミックランダムアクセスメモリ（DRAM）において、トランジスタおよびビット線を形成後に容量部を形成する技術としては、例えば1988年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト・オブ・テクニカル・ペーパーズ（International Electron Devices Meeting Digest of Technical Papers, 1988）の592～595頁に記載されている。

【0003】 上述の従来の薄膜キャパシタでは、近年の集積回路のより一層の高集積化に対応した容量部の面積の縮小に限界がある。従って、薄膜キャパシタの誘電体膜の薄膜化と高誘電率化、および立体構造化によって容量部の面積を実効的に縮小しなければならない。従来のキャパシタを形成する誘電体膜はシリコン酸化膜やシリコン窒化膜であり、これらの誘電率は高々7程度であるため、要求される容量値を達成するためにはシリコン酸化膜換算で5nm以下という極めて薄い膜厚が求められる。一方、このような薄い膜厚では許容されるリーク電流以下の電流-電圧特性を有する誘電体薄膜を実現するのは非常に困難であり、立体構造を用いて実効的に電極面積を増加させる方法を用いても、下部電極端で誘電体膜が薄くなり電界が集中することによってリーク電流の増大が生じる。

【0004】 従って、例えば室温で300に近い誘電率を有する SrTiO_3 やさらに大きな誘電率を有する $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{Pb}(\text{Mg}, \text{Nb})\text{O}_3$ 及び $\text{Pb}(\text{Mg}, \text{W})\text{O}_3$ に代表される高誘電率の誘電体薄膜を用い、バリアメタルとしてシリコンの拡散を抑制しつつ高誘電率膜の堆積中の酸化雰囲気でも低誘電率層を形成しない Pt/Ta 、 Pt/Ti 及び RuO_x を用いることで、要求されるキャパシタをシリコン酸化膜等の場合と比べてより厚い膜厚で実現する方法が考えられる。

【0005】

【発明が解決しようとする課題】 しかし、この場合も高誘電率の誘電体薄膜を堆積する下地の凹凸が激しい時には、リーク電流が増加し良好なキャパシタとして動作しない。特に層間絶縁膜にコンタクトホールを設け、ポリ

シリコン層等によりコンタクトホールを埋め込んだ後にキャパシタを形成するような場合は、ポリシリコン層の埋め込み後の表面平坦性が問題となってくる。通常、ポリシリコン層は、CVD法によりコンタクトホールを十分埋め込むことができるように厚く堆積し不純物を拡散して低抵抗化し、しかる後に Cl_2 ガス等を用いたドライエッチング法によりエッチバックを行い不必要な部分が除去されていた。このようなドライエッチングによるエッチバックではマイクロローディング効果により層間絶縁膜の表面が現れるとエッチング速度が急激に上昇し、コンタクトホール内のポリシリコン層までオーバーエッチングされる。この時のオーバーエッチング量は6インチウェハを用いたとき面内で200~300nmにも達し、ポリシリコン層の表面も数十nmの凹凸となる。このような段差を有する下地上にバリアメタル膜、高誘電率の誘電体薄膜、上部電極用導電膜を積層した場合、コンタクトホール周辺の段差とポリシリコン層表面の凹凸のため、平坦な基板上に堆積した場合のリーク電流特性を再現性良く得ることは困難であった。

【0006】また、高誘電率の誘電体膜を用いた薄膜キャパシタアレイにおいて、各キャパシタ間を分離するための第2の層間絶縁膜のエッチバックにおいても、 CF_4 ガス等のドライエッチング法ではウェハ面内において均一に層間絶縁膜を除去することが困難である。

【0007】

【課題を解決するための手段】上記のポリシリコン層のエッチバック時のオーバーエッチングと表面凹凸の問題を解決するため、本発明の薄膜キャパシタは、バリアメタル膜直下にポリシリコンを層状に残した構造となっている。また本発明の薄膜キャパシタの製造方法では、ポリシリコン層のエッチバックにドライエッチング法ではなくピペラジンまたはコロイダルシリカスラリーを用いた化学的機械的研磨法を用いて表面の平坦性を実現し、リーク電流の増加を抑制している。

【0008】また、第2の層間絶縁膜のエッチバック時のオーバーエッチングの問題を解決するために本発明では、コロイダルシリカスラリーを用いた化学的機械的研磨法を用いて表面を平坦化しリーク電流の増加を抑制し面内均一性と再現性を向上させている。

【0009】

【実施例】次に本発明を図面を用いて説明する。図1(a)~(d)は本発明の第1の実施例を説明するための半導体チップの断面図である。

【0010】まず図1(a)に示すように、抵抗率が $0.01\Omega\cdot\text{cm}$ のn型シリコン基板1上に熱酸化により SiO_2 からなる層間絶縁膜2を600nmの厚さに形成した後、所望の位置にコンタクトホールを形成し、次でCVD法によりポリシリコン層3を1 μm 堆積しリン拡散を行って低抵抗化した。

【0011】次に図1(b)に示すように、ピペラジン

1g/lの研磨液を用い、研磨圧力50kgfでポリシリコン層3の表面の化学的機械的研磨を1分間行った。するとポリシリコン層3の成膜直後のコンタクトホールによる凹凸は消失し、層間絶縁膜2およびコンタクトホール上に均一に厚さ50nmのポリシリコン層3が残った。さらにその上にバリアメタル膜4として RuO 2(厚さ500nm)/ Ru (厚さ50nm)をDCマグネトロンスパッタ法により成膜した。

【0012】次に図1(c)に示すように、 Cl_2 とO2の混合ガスを用いたECRプラズマエッチング法によりバリアメタル膜4とポリシリコン層3を所望の大きさに加工し、その上にイオンビームスパッタ法により、基板温度650℃、ビーム電圧1000V、ビーム電流40mAの条件で高誘電率の誘電体薄膜($\text{Ba}_{0.5}, \text{Sr}_{0.5}$) TiO_3 (厚さ100nm)5を成膜した。

【0013】最後に図1(d)に示すように、DCマグネトロンスパッタ法により上部電極用導電膜としてAl(厚さ1 μm)/ TiN (厚さ50nm)膜6を成膜し Cl_2 ガスを用いるエッチング法で所望の大きさに加工して上部電極を形成し、薄膜キャパシタを完成させた。

【0014】図2は第1の実施例によるキャパシタと従来のキャパシタの電流-電圧特性を比較した図である。従来のキャパシタは低電界におけるリーク電流値が大きかった。これはポリシリコン層のエッチバック時における表面の凹凸が原因と考えられる。一方、本実施例の薄膜キャパシタはリーク電流も小さく、従来のキャパシタよりも優れた絶縁性を示すことがわかった。

【0015】また第1の実施例ではバリアメタル膜のみ所望の大きさに加工したキャパシタを示したが、バリアメタル膜と高誘電率の誘電体薄膜を同一の大きさに加工し側面を第2の層間絶縁膜で覆った構造でも良い。また、バリアメタル膜と誘電体薄膜と上部電極用導電膜の一部を同一の大きさに加工し側面を第2の層間絶縁膜で覆った構造でも良い。また第1の実施例では、コンタクトホールを埋める導電膜としてポリシリコンを用いたが、WやW合金等を用いてもよい。

【0016】図3(a)~(c)は本発明の第2の実施例を説明するための半導体チップの断面図である。

【0017】図3(a)に示すように、n型シリコン基板1上に SiO_2 からなる層間絶縁膜2、ポリシリコン層3を形成し平坦化するまでは第1の実施例と同様である。次にこのポリシリコン層3上に RuO_2 / Ru のバリアメタル膜4をDCマグネトロンスパッタ法により成膜し、続いてイオンビームスパッタ法により基板温度650℃、ビーム電圧1000V、ビーム電流40mAの条件で高誘電率の誘電体薄膜として($\text{Ba}_{0.5}, \text{Sr}_{0.5}$) TiO_3 (厚さ100nm)膜5を成膜した。

【0018】次に図3(b)に示すように、 Cl_2 とO2の混合ガスを用いたECRプラズマエッチング法により($\text{Ba}_{0.5}, \text{Sr}_{0.5}$) TiO_3 膜5とバリアメタル

膜4及びポリシリコン層3を同一の大きさに加工し、次で層間絶縁膜としてのSOG膜7を塗布して平坦化を行った後、CHF₃ ガスを用いたECRプラズマエッチング法によりエッチバックを行い(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5の表面を露出させた。

【0019】最後に図3(c)に示すように、DCマグネトロンスパッタ法によりAl/TiN膜6を成膜しCl₂ ガスを用いて所望の大きさに加工して上部電極を形成した。

【0020】このように構成された第2の実施例のキャパシタも電流-電圧特性は図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。

【0021】更に本第2の実施例は第1の実施例と比べて(Ba_{0.5}, Sr_{0.5}) TiO₃膜をバリアメタル膜4の上面だけに残し、側面を厚いSOG膜で覆っているため、第1の実施例と比べて電流-電圧特性における初期不良が低減する。またキャパシタが複数個存在するときのカップリング容量値が低減される。

【0022】図4(a)～(c)は本発明の第3の実施例を説明するための半導体チップの断面図である。

【0023】まず図4(a)に示すように、第2の実施例と同様にn型シリコン基板1上に層間絶縁膜2、ポリシリコン層3を形成して平坦化し、次でその上にバリアメタル膜4をDCマグネトロンスパッタ法により成膜し、続いてイオンビームスパッタ法により高誘電率の(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5を成膜した。次にDCマグネトロンスパッタ法により上部電極用導電膜の一部としてTiN(厚さ50nm) 6Aを成膜した。

【0024】次に図4(b)に示すように、Cl₂ とO₂ の混合ガスを用いたECRプラズマエッチング法によりTiN膜6Aと(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5とバリアメタル膜4とポリシリコン層3を同一の大きさに加工し、SOG膜7を塗布して平坦化を行った後、CHF₃ ガスを用いたECRプラズマエッチング法によりエッチバックを行いTiN膜6Aの表面を露出させた。

【0025】次に図4(c)に示すように、DCマグネトロンスパッタ法によりAl/TiN膜6を成膜し、Cl₂ ガスを用いて所望の大きさに加工しキャパシタの接続を兼ねる上部電極を形成した。

【0026】この第3の実施例のキャパシタも電流-電圧特性は図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。更に本第3の実施例は第2の実施例と比べて上部電極を構成するTiN膜6Aまでエッチングするため、第2の実施例でまれに発生する(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜上面のSOG膜のエッチング残りが生じない。従って容量値が設計値よりも低下することはない。

【0027】図5(a)～(c)は本発明の第4の実施例を説明するための半導体チップの断面図である。

【0028】まず図5(a)に示すように、第3の実施

例と同様にn型シリコン基板1上に層間絶縁膜2、ポリシリコン層3を形成し、その上にバリアメタル膜4をDCマグネトロンスパッタ法により成膜し、続いてイオンビームスパッタ法により高誘電率の(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5を成膜し、さらに上部電極膜の一部であるTiN膜6Aを成膜した。

【0029】次に図5(b)に示すように、Cl₂ とO₂ の混合ガスを用いたECRプラズマエッチング法によりTiN膜6Aと(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5とバリアメタル膜4とポリシリコン層3を同一の大きさに加工し、SOG膜7を塗布して平坦化を行った後、再びコンタクトホールを形成しTi膜6Aを露出させた。

【0030】次に図5(c)に示すように、DCマグネトロンスパッタ法によりAl/TiN6を成膜しCl₂ ガスを用いて所望の大きさに加工してキャパシタの接続を兼ねる上部電極を形成した。

【0031】この第4の実施例のキャパシタの電流-電圧特性は図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。

【0032】この第4の実施例は第3の実施例と比べてSOG膜7のエッチバックを行わないため、SOG膜7の面内の膜厚分布が特性に影響することがない。つまりプロセス上のマージンが大きくなり再現性が向上する。

【0033】図6(a)～(c)は本発明の第5の実施例を説明するための半導体チップの断面図である。

【0034】まず図6(a)に示すように、第1の実施例と同様にn型シリコン基板1上に層間絶縁膜2、ポリシリコン層3を形成し、その上にバリアメタル膜(RuO₂/Ru) 4をDCマグネトロンスパッタ法により成膜し、次でCl₂ とO₂ の混合ガスを用いたECRプラズマエッチング法によりバリアメタル膜4とポリシリコン層3を所望の大きさに加工する。次でSOG膜7を塗布して平坦化を行った。

【0035】次に図6(b)に示すように、コロイダルシリカスラリーを用い、研磨圧力50kgfでバリアメタル膜4の表面が露出するまで化学的機械的研磨を行いSOG膜7の表面を平坦化した。この時、RuO₂/Ru膜の表面が一部研磨されてもバリアメタルとして導電性を失わなければ問題は無い。

【0036】次に図6(c)に示すように、イオンビームスパッタ法により基板温度650℃、ビーム電圧1000V、ビーム電流40mAの条件で(Ba_{0.5}, Sr_{0.5}) TiO₃ 膜5を成膜し、その後DCマグネトロンスパッタ法によりAl/TiN膜6を成膜し、Cl₂ ガスを用いて所望の大きさに加工して上部電極を形成した。

【0037】この第5の実施例のキャパシタの電流-電圧特性も図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。また、第1の実施例と比べてSOG膜7の平坦化にドライエッチングの代わりに化学

10

20

30

40

50

的機械的研磨を用いたため、ウェハ面内での均一性及び再現性が向上した。第1の実施例の薄膜キャパシタと本第5の実施例の薄膜キャパシタの耐圧分布を比較した結果を図7(a), (b)に示す。図7(a), (b)に示されるように本第5の実施例ではSOG膜7のエッチングプロセスにおける再現性が向上したため耐圧分布のばらつきが減少した。

【0038】図8(a), (b)は本発明の第6の実施例を説明するための半導体チップの断面図である。

【0039】まず図8(a)に示すように、第2の実施例と同様にn型シリコン基板1上にSiO₂からなる層間絶縁膜2、ポリシリコン層3を形成する。次に、その上にバリアメタル膜4をDCマグネトロンスパッタ法により成膜し、続いてイオンビームスパッタ法により(Ba_{0.5}, Sr_{0.5})TiO₃膜5を成膜した。その後Cl₂とO₂の混合ガスを用いたECRプラズマエッチング法により(Ba_{0.5}, Sr_{0.5})TiO₃膜5とバリアメタル膜4とポリシリコン層3を所望の大きさに加工したのち、SOG膜7を塗布して平坦化を行った。

【0040】次に図8(b)に示すように、コロイダルシリカスラリーを用い、研磨圧力50kgfで(Ba_{0.5}, Sr_{0.5})TiO₃膜5の表面が露出するまで化学的機械的研磨を行いSOG膜7の表面を平坦化した。最後にDCマグネトロンスパッタ法によりAl/TiN膜6を成膜しCl₂ガスを用いて所望の大きさに加工して上部電極を形成した。

【0041】この第6の実施例のキャパシタの電流-電圧特性も図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。また、第2の実施例と比べてSOG膜7の平坦化にドライエッチング法を用いていないため、第5の実施例で述べたように、ウェハ面内での均一性及び再現性が向上し耐圧分布のばらつきが減少した。

【0042】図9(a), (b)は本発明の第7の実施例を説明するための半導体チップの断面図である。

【0043】まず図9(a)に示すように、第3の実施例と同様にn型シリコン基板1上に層間絶縁膜2、ポリシリコン層3を形成し、その上にバリアメタル膜4をDCマグネトロンスパッタ法により成膜し、続いてイオンビームスパッタ法により(Ba_{0.5}, Sr_{0.5})TiO₃5を成膜した。さらに上部電極膜の一部であるTiN膜6AをDCマグネトロンスパッタ法により成膜した。その後Cl₂とO₂の混合ガスを用いたECRプラズマエッチング法によりTiN膜6Aと(Ba_{0.5}, Sr_{0.5})TiO₃膜5とバリアメタル膜4とポリシリコン層3を所望の大きさに加工し、SOG膜7を塗布して平坦化を行った。

【0044】次に図9(b)に示すように、コロイダルシリカスラリーを用い、研磨圧力50kgfでTiN膜6Aの表面が露出するまで化学的機械的研磨を行いSOG

G膜7の表面を平坦化した。この時TiN膜6Aの一部が研磨されても上部電極として導電性を失わなければ問題ない。最後にDCマグネトロンスパッタ法によりAl(1)/TiN膜6を成膜しCl₂ガスを用いて所望の大きさに加工してキャパシタの接続を兼ねる上部電極を形成した。

【0045】この第7の実施例のキャパシタの電流-電圧特性も図2と同様の傾向を示し従来の技術を用いた場合より大幅に改善された。また、第3の実施例と比べてSOG膜7の平坦化にドライエッチング法を用いていないため、第5の実施例で述べたように、ウェハ面内での均一性及び再現性が向上し耐圧分布のばらつきが減少した。

【0046】なお、上記7つの実施例では高誘電率膜として(Ba_{0.5}, Sr_{0.5})TiO₃を用いた場合について述べたが、これに限定されるものではなく、高誘電率膜として化学式がABO₃で表され、それぞれAとしてBa, Sr, Pb, La, Li, Kのうち少なくとも1種以上、BとしてZr, Ti, Ta, Nb, Mg, Mn, Fe, Zn, Wのうち少なくとも1種以上からなるもの、例えば、SrTiO₃, PbTiO₃, Pb(Zr, Ti)O₃, (Pb, La)(Zr, Ti)O₃, Pb(Mg, Nb)O₃, Pb(Mg, W)O₃, Pb(Zn, Nb)O₃, LiTaO₃, LiNbO₃, KTaO₃, KNbO₃など、あるいはそれ以外の化学式の、Ta₂O₅, Bi₄Ti₃O₁₂, BaMGF₄などを用いても有効である。また、バリアメタル膜としてRuO₂/Ruの例を述べたが、本発明は下部電極としてPtとその下にTaやTiNなどのバリア層を設けた構造を用いても有効である。

【0047】また、各実施例では複数のキャパシタを形成する例を図面で示したが、本発明は単独のキャパシタについても有効である。

【0048】

【発明の効果】以上説明したように、本発明による高誘電率の誘電体膜を用いた薄膜キャパシタでは、コンタクトホールを埋め込むポリシリコン層や各キャパシタ間を埋め込む層間絶縁膜を、ピペラジンまたはコロイダルシリカスラリーを用いた化学的機械的研磨法により平坦化しているため、リーク電流の増加を抑制でき、更に再現性及び量産性を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための半導体チップの断面図である。

【図2】本発明の薄膜キャパシタと従来の薄膜キャパシタの電流-電圧特性の違いを示した図である。

【図3】本発明の第2の実施例を説明するための半導体チップの断面図である。

【図4】本発明の第3の実施例を説明するための半導体

チップの断面図である。

【図5】本発明の第4の実施例を説明するための半導体チップの断面図である。

【図6】本発明の第5の実施例を説明するための半導体チップの断面図である。

【図7】第1の実施例と第5の実施例の薄膜キャパシタの耐圧分布を比較した図である。

【図8】本発明の第6の実施例を説明するための半導体チップの断面図である。

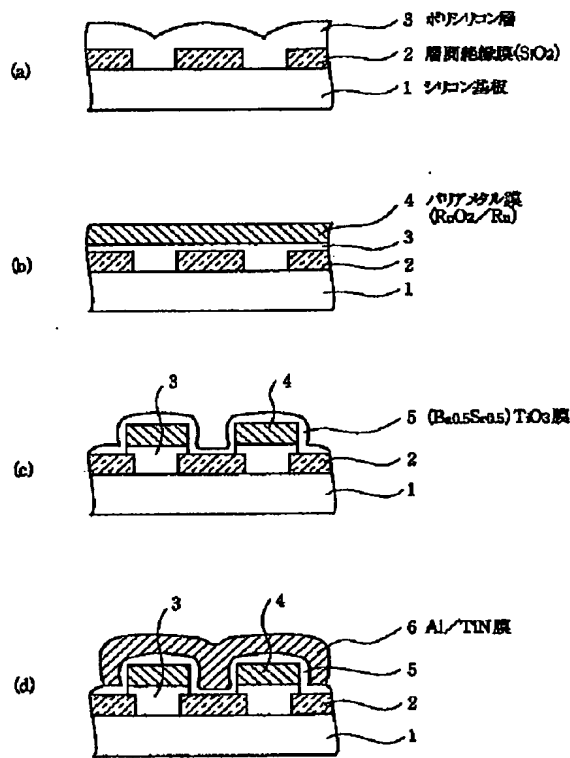
【図9】本発明の第7の実施例を説明するための半導体

チップの断面図である。

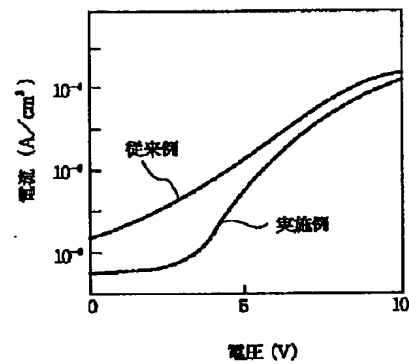
【符号の説明】

- | | |
|----|--|
| 1 | シリコン基板 |
| 2 | 層間絶縁膜 |
| 3 | ポリシリコン層 |
| 4 | バリアメタル膜 |
| 5 | (Ba _{0.5} , Sr _{0.5})TiO ₃ 膜 |
| 6 | Al/TiN膜 |
| 6A | TiN膜 |
| 7 | SOG膜 |

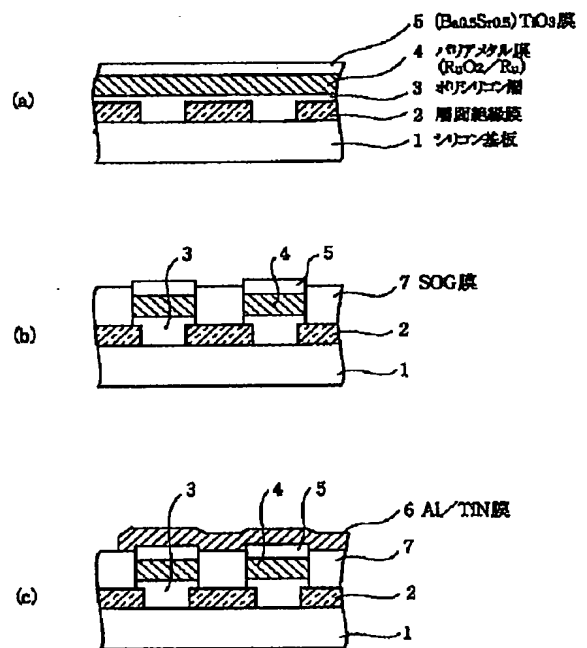
【図1】



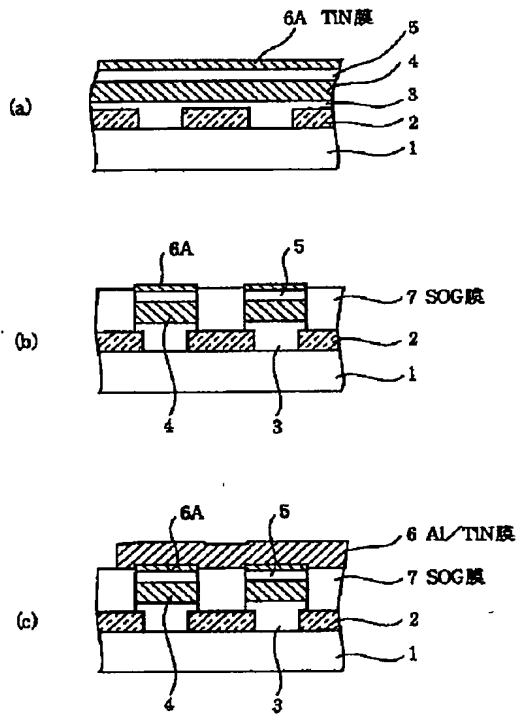
【図2】



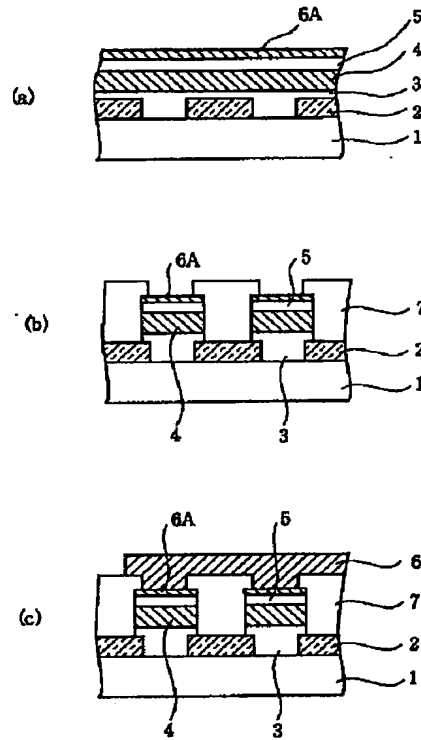
【図3】



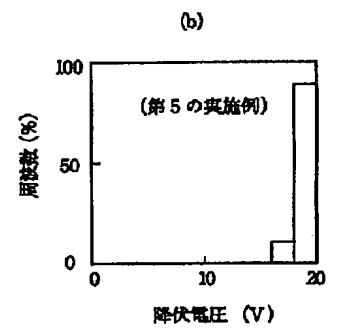
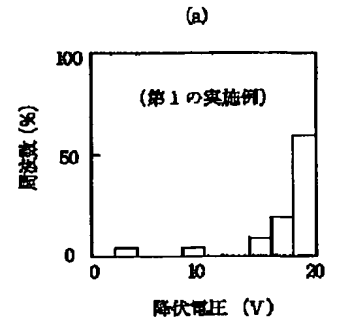
【図4】



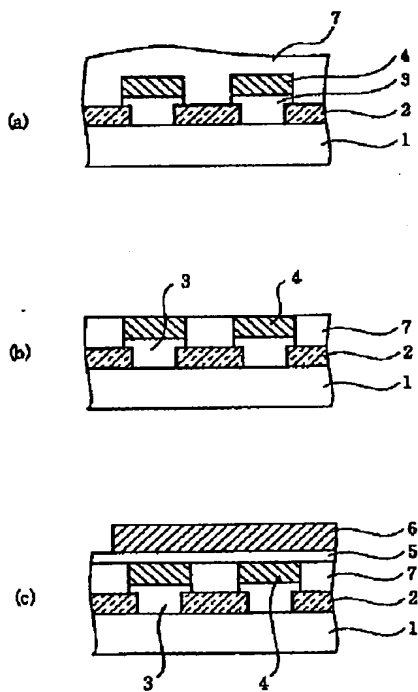
【図5】



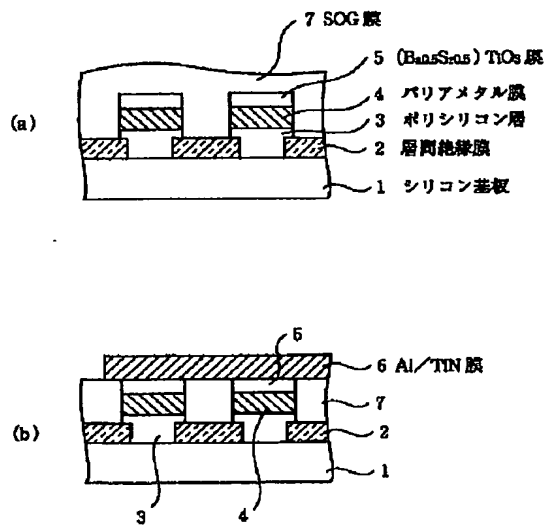
【図7】



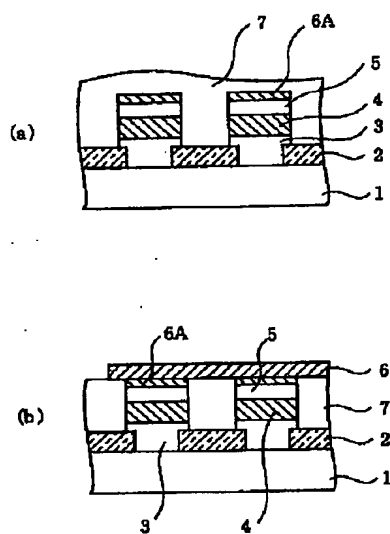
【図6】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁶
H01L 27/108

識別記号

庁内整理番号

F I

技術表示箇所